

Docket No.: 60188-844

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of : Customer Number: 20277  
:   
Toshihiko TAKAHASHI, et al. : Confirmation Number:  
:   
Serial No.: : Group Art Unit:  
:   
Filed: April 23, 2004 : Examiner:  
:   
For: INFORMATION MEMORY AND REPRODUCTION DEVICE

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

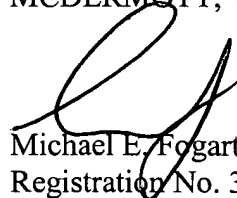
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2003-121655, filed April 25, 2003**

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:prg  
Facsimile: (202) 756-8087  
**Date: April 23, 2004**



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

60188-844  
Takahashi et al.  
April 23, 2004

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 3 年 4 月 2 5 日

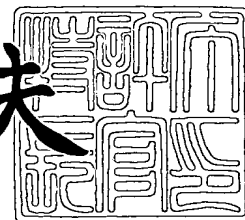
出 願 番 号  
Application Number: 特 願 2 0 0 3 - 1 2 1 6 5 5  
[ST. 10/C]: [ J P 2 0 0 3 - 1 2 1 6 5 5 ]

出 願 人  
Applicant(s): 松下電器産業株式会社

2 0 0 4 年 2 月 2 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 1 9 2 2



【書類名】 特許願

【整理番号】 2038140175

【提出日】 平成15年 4月25日

【あて先】 特許庁長官 殿

【国際特許分類】 G11B 7/00

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 高橋 利彦

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 相田 和俊

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 小倉 洋一

【特許出願人】

    【識別番号】 000005821

    【氏名又は名称】 松下電器産業株式会社

【代理人】

    【識別番号】 100077931

    【弁理士】

    【氏名又は名称】 前田 弘

【選任した代理人】

    【識別番号】 100094134

    【弁理士】

    【氏名又は名称】 小山 廣毅

## 【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

## 【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

## 【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

## 【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

## 【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

## 【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

## 【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄



## 【選任した代理人】

【識別番号】 100121500

## 【弁理士】

【氏名又は名称】 後藤 高志

## 【選任した代理人】

【識別番号】 100121728

## 【弁理士】

【氏名又は名称】 井関 勝守

## 【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報記憶再生装置

【特許請求の範囲】

【請求項 1】 入力されたアナログ信号を所定の振幅レベルに増幅して出力する可変利得アンプと、

増幅されたアナログ信号のノイズ成分を除去する低域通過フィルタと、

前記低域通過フィルタから出力されるアナログ信号を第 1 のデジタル信号に変換して出力する A/D 変換器と、

前記第 1 のデジタル信号に対して波形等化を行なって第 2 のデジタル信号を出力するデジタル等化器と、

前記第 1 のデジタル信号から振幅情報を検出し、検出した振幅情報から制御情報を生成して前記可変利得アンプに出力する振幅情報検出回路と、

前記第 2 のデジタル信号から同期用のクロック信号を抽出し、抽出したクロック信号を前記 A/D 変換器及びデジタル等化器に出力する同期抽出回路と、

前記同期抽出回路からの出力を分周して出力する分周器とを備え、

前記同期抽出回路は、前記 A/D 変換器に対してチャネルクロックを規定する周波数の  $n$ （但し、 $n$  は 2 以上の整数とする。）倍の周波数を持つサンプリングクロック信号を出力し、

前記 A/D 変換器は、入力された前記サンプリングクロック信号により、オーバーサンプリングを行なうことを特徴とする情報記憶再生装置。

【請求項 2】 前記第 2 のデジタル信号に含まれる前記  $n$  通りのサンプリング値からいずれか 1 つのサンプリング値を選択し、選択したサンプリング値を前記同期抽出回路に出力するデータ位相比較器をさらに備えていることを特徴とする請求項 1 に記載の情報記憶再生装置。

【請求項 3】 前記第 2 のデジタル信号に含まれる前記  $n$  通りのサンプリング値から隣り合う 2 つのサンプリング値を選択し、選択した 2 つのサンプリング値に対して移動平均の演算を行ない、その演算結果であるサンプリング値を前記同期抽出回路に出力する移動平均値演算器をさらに備えていることを特徴とする請求項 1 に記載の情報記憶再生装置。

【請求項 4】 前記第 2 のデジタル信号に含まれる前記 n 通りのサンプリング値から少なくとも 2 つのサンプリング値を選択し、選択した少なくとも 2 つのサンプリング値に対して移動平均の演算を行ない、その演算結果であるサンプリング値を前記同期抽出回路に出力する移動平均値演算器をさらに備えていることを特徴とする請求項 1 に記載の情報記憶再生装置。

【請求項 5】 前記第 2 のデジタル信号に含まれる前記 n 通りのサンプリング値から少なくとも 2 つのサンプリング値を選択し、選択した少なくとも 2 つのサンプリング値に対して加算演算、減算演算又は補間演算を行ない、その演算結果であるサンプリング値を前記同期抽出回路に出力するサンプル値演算器をさらに備えていることを特徴とする請求項 1 に記載の情報記憶再生装置。

【請求項 6】 前記サンプル値演算器と前記同期抽出回路との間に設けられ、前記サンプル値演算器の出力信号から不要な信号成分を除去するフィルタをさらに備えていることを特徴とする請求項 5 に記載の情報記憶再生装置。

【請求項 7】 前記第 2 のデジタル信号に対して、前記チャネルレートを規定する周波数に戻すダウンサンプリング回路をさらに備えていることを特徴とする請求項 1 に記載の情報記憶再生装置。

【請求項 8】 前記 A/D 変換器の前段に設けられ、前記 A/D 変換器が持つダイナミックレンジに前記アナログ信号が収まるように前記アナログ信号における振幅の中心軸からのずれを調整するオフセット制御回路とをさらに備えていることを特徴とする請求項 1 又は 7 に記載の情報記憶再生装置。

【請求項 9】 前記第 1 のデジタル信号から、入力されたアナログ信号のオフセットを検出し、検出したオフセット値を前記オフセット制御回路に出力するオフセット検出回路と、

前記第 2 のデジタル信号の信頼性を向上する演算回路と、

前記第 2 のデジタル信号に対して 2 値化を行なう 2 値化回路とをさらに備えていることを特徴とする請求項 8 に記載の情報記憶再生装置。

【請求項 10】 前記同期抽出回路は、電圧制御発振器を含むことを特徴とする請求項 1～9 のうちのいずれか 1 項に記載の情報記憶再生装置。

【請求項 11】 前記同期抽出回路は、位相同期ループ回路を含むことを特

徴とする請求項 1～9 のうちのいずれか 1 項に記載の情報記憶再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ハードディスク装置又は光ディスク装置等の情報記憶装置に用いられる等化装置に関し、特にアナログ信号を A/D 変換し、変換して得られたデジタル信号からデータ信号と該データ信号に同期したクロック信号とを抽出する情報記憶再生装置に関する。

【0002】

【従来の技術】

近年、ハードディスク装置や光ディスク装置等が扱う記録媒体は、その記録密度がますます高密度化している。しかしながら、これらの記録媒体を扱う情報記憶装置において、データ信号を高密度に記録すると、S/N 比が低下し、符号間での干渉及びクロストーク等によってデータの信頼性が低下する。そのため、データ信号の品質が劣化することによる信頼性の低下を補う手段が必要となる。

【0003】

従来、情報記憶装置において、光ピックアップから出力される再生信号（アナログ信号）にアナログ信号処理を施す場合には、光学検出系回路及び電気回路によって再生信号はその周波数特性に影響を受ける。このとき、周波数が高くなるにつれて信号の振幅が低下するような特性を持つ再生信号に対しては、アナログ等化器を用いてその振幅の低下分を補っている。

【0004】

アナログ等化器は、所望の周波数の信号成分を通過させる共に、所定の周波数成分を持つ信号に選択的にゲインを与えるという特性を有している。従って、等化特性を所望の周波数に合わせることで、信号振幅の低下を選択的に補うことができる。

【0005】

これに対し、再生信号（アナログ信号）にデジタル信号処理を施す場合には、高域成分の信号振幅の低下を補う従来の方法として、以下に示すような 2 つの方



法がある。

#### 【0006】

第1の方法は、アナログ信号に対してアナログ等化器により波形等化を行なった後、波形等化されたアナログ信号にA/D変換を施してデジタル信号を得る（特許文献1参照。）。以下、その方法を実現する従来の等化装置について図6を用いて説明する。図6に示すように、光ピックアップ200から出力されるアナログ信号は、可変利得アンプ（VGA）201で増幅され、さらにアナログ低域通過フィルタ（LPF）202に入力される。アナログLPF202に入力されたアナログ信号は、波形等化処理に不要な高域成分が除去され、続いて、アナログ等化器203により波形等化される。ここでは、アナログ等化器203の等化特性は信号の高域成分を通過させるような特性に設定されているため、信号振幅の低下分を選択的に補うことができる。続いて、波形透過されたアナログ信号は、オフセット制御回路204を介してA/D変換器205に入力されてデジタル信号に変換され、A/D変換されたデジタル信号は2値化回路206によって2値化されて出力される。

#### 【0007】

第2の方法は、アナログ等化器に代えてデジタル等化器を用いる方法である。この場合、A/D変換器205の後段にデジタル信号を波形等化するデジタル等化器を設ける。デジタル等化器を用いる場合には、A/D変換器205の分解能を高める必要がある。これは、振幅差が大きいアナログ信号をA/D変換処理する際に、信号の振幅が低下した高域成分から必要な情報を充分に得るためである。なお、A/D変換器205の分解能を高める方法には、例えば、A/D変換の変換ビット数を増やす方法がある。

#### 【0008】

##### 【特許文献1】

特許第2517709号公報

#### 【0009】

##### 【発明が解決しようとする課題】

しかしながら、前記従来の方法は、光ディスク装置等の情報記憶再生装置にお

いて、アナログ信号をデジタル化処理する場合に以下に示すような種々の問題が生じる。

#### 【0010】

まず、第1の方法は、アナログ等化器203を用いているため、波形等化されるアナログ信号が、例えば角速度一定(constant angular velocity: CAV)方式によって再生される再生信号のように、その周波数が時間の経過と共に変化する場合に問題が生じる。この場合は、再生信号の周波数に合わせて、アナログ等化器203の等化特性を切り替える制御が必要となるため、制御の精度が低い場合には等化誤差が大きくなるので、再生信号の信号特性が劣化する。また、等化特性を切り替える制御を高精度に行なうには、制御自体が複雑化し且つ回路規模が増大することにもなる。

#### 【0011】

さらに、アナログ等化器203を用いる場合には、図6に示した信号処理装置をシステムLSI (large scale integrated circuit) として実現する場合に他の問題が生じる。すなわち、信号処理装置をシステムLSIで実現する場合は、アナログ回路、デジタル回路及びメモリ回路等の、従来はそれぞれ個別にLSI化されていた回路を1チップ上に集積化する必要がある。デジタル回路の場合は、プロセスにおけるデザインルールが縮小されると、縮小された分だけ回路規模が小さくなるため、コストをも低減することができる。これに対し、アナログ回路の場合はデザインルールが縮小されても回路規模を小さくする恩恵を受けにくい。言い換えれば、アナログ回路はシステムLSI (CMOS) 化する際に、デジタル回路と比べて大きい面積を専有するため、コストアップの要因になる。

#### 【0012】

また、第2の方法のように、アナログ等化器203を用いずにデジタル化した後にデジタル等化器を用いる場合には、アナログ等化器203と同一の性能を実現するにあたって、デジタル等化器の前段に位置するA/D変換器205の1ビット当たりの分解能を高める必要がある。しかしながら、高速動作が必要なA/D変換器205は、A/D変換を行なうビット数に比例して回路規模が増大するため、変換ビット数を増やすことによってA/D変換時の分解能を高めようとする

ると、回路規模が増大してしまうという問題が生じる。さらに、回路規模が増大すると、回路遅延が増えて処理可能な信号帯域が低下してしまうため、処理速度が劣化する。

#### 【0013】

本発明は、前記従来の問題を解決し、デジタル等化器を用いながらも、回路規模を増大させることなく、効率良く且つ振幅差が大きいアナログ信号を波形等化できるようにすることを目的とする。

#### 【0014】

##### 【課題を解決するための手段】

前記の目的を達成するため、本発明は、情報記憶再生装置を、光ピックアップからの出力信号をアナログ等化器を通さずにデジタル信号に変換した後、変換されたデジタル信号をデジタル等化器に通す構成に加え、D/A変換を行なう際には、変換されたデジタル信号からクロック信号を抽出し、抽出したクロック信号から2以上の整数倍のオーバーサンプリングを行なう構成とする。

#### 【0015】

具体的に、本発明に係る情報記憶再生装置は、入力されたアナログ信号を所定の振幅レベルに増幅して出力する可変利得アンプと、増幅されたアナログ信号のノイズ成分を除去する低域通過フィルタと、低域通過フィルタから出力されるアナログ信号を第1のデジタル信号に変換して出力するA/D変換器と、第1のデジタル信号に対して波形等化を行なって第2のデジタル信号を出力するデジタル等化器と、第1のデジタル信号から振幅情報を検出し、検出した振幅情報から制御情報を生成して可変利得アンプに出力する振幅情報検出回路と、第2のデジタル信号から同期用のクロック信号を抽出し、抽出したクロック信号をA/D変換器及びデジタル等化器に出力する同期抽出回路（クロックリカバリ回路）と、同期抽出回路からの出力を分周して出力する分周器とを備え、同期抽出回路は、A/D変換器に対してチャネルクロックを規定する周波数の $n$ （但し、 $n$ は2以上の整数とする。）倍の周波数を持つサンプリングクロック信号を出力し、A/D変換器は、入力されたサンプリングクロック信号により、オーバーサンプリングを行なう。

## 【0016】

本発明の情報記憶再生装置によると、A/D変換器から出力される第1のデジタル信号に対して波形等化を行なうデジタル等化器を備えているため、アナログ信号処理を行なうアナログ回路部の回路規模を縮小することができる。その上、同期抽出回路は、A/D変換器に対してチャネルクロックを規定する周波数の $n$ 倍の周波数を持つサンプリングクロック信号を出力し、A/D変換器は、 $n$ 倍の周波数のサンプリングクロック信号によりオーバサンプリングを行なうため、A/D変換器の分解能を等価的に向上させることができる。従って、デジタル等化器により処理されるデジタル信号は、オーバサンプリングのサンプリング比の値に応じて波形等化の精度が向上するため、アナログ回路部の回路規模を小さくしながら、再生された第2のデジタル信号の電気的特性を良好にすることができる。

## 【0017】

本発明の情報記憶再生装置は、第2のデジタル信号に含まれる $n$ 通りのサンプリング値からいずれか1つのサンプリング値を選択し、選択したサンプリング値を同期抽出回路に出力するデータ位相比較器をさらに備えていることが好ましい。

## 【0018】

このようにすると、同期抽出回路は、波形等化されたデータ信号である第2のデジタル信号から同期用のクロック信号を抽出する際に、データ位相比較器によって、 $n$ 通りのサンプリング値から選択されたデータを用いるため、例えば同期クロックの引き込み時間を短縮できるようなサンプリング値を選択すれば、再生信号の品質を上げることができる。

## 【0019】

また、本発明の情報記憶再生装置は、第2のデジタル信号に含まれる $n$ 通りのサンプリング値から隣り合う2つのサンプリング値を選択し、選択した2つのサンプリング値に対して移動平均の演算を行ない、その演算結果であるサンプリング値を同期抽出回路に出力する移動平均値演算器をさらに備えていることが好ましい。

## 【0020】

また、本発明の情報記憶再生装置は、第2のデジタル信号に含まれる $n$ 通りのサンプリング値から少なくとも2つのサンプリング値を選択し、選択した少なくとも2つのサンプリング値に対して移動平均の演算を行ない、その演算結果であるサンプリング値を同期抽出回路に出力する移動平均値演算器をさらに備えていることが好ましい。

## 【0021】

また、本発明の情報記憶再生装置は、第2のデジタル信号に含まれる $n$ 通りのサンプリング値から少なくとも2つのサンプリング値を選択し、選択した少なくとも2つのサンプリング値に対して加算演算、減算演算又は補間演算を行ない、その演算結果であるサンプリング値を同期抽出回路に出力するサンプル値演算器をさらに備えていることが好ましい。

## 【0022】

また、本発明の情報記憶再生装置は、サンプル値演算器と同期抽出回路との間に設けられ、サンプル値演算器の出力信号から不要な信号成分を除去するフィルタをさらに備えていることが好ましい。

## 【0023】

本発明の情報記憶再生装置は、第2のデジタル信号に対して、チャネルレートを規定する周波数に戻すダウンサンプリング回路をさらに備えていることが好ましい。

## 【0024】

このようにすると、ダウンサンプリング回路から出力されるデジタル信号は通常のチャネルレート（データレート）に戻るため、後段に設けられるデジタル回路は、通常のチャネルレートで信号処理を行なうことができる。

## 【0025】

また、本発明の情報記憶再生装置は、A/D変換器の前段に設けられ、A/D変換器が持つダイナミックレンジにアナログ信号が収まるようにアナログ信号における振幅の中心軸からのずれを調整するオフセット制御回路とをさらに備えていることが好ましい。

## 【0026】

この場合に、本発明の情報記憶再生装置は、第1のデジタル信号から、入力されたアナログ信号のオフセットを検出し、検出したオフセット値をオフセット制御回路に出力するオフセット検出回路と、第2のデジタル信号の信頼性を向上する演算回路と、第2のデジタル信号に対して2値化を行なう2値化回路とをさらに備えていることが好ましい。

## 【0027】

本発明の情報記憶再生装置において、同期抽出回路は、電圧制御発振器を含むことが好ましい。

## 【0028】

また、本発明の情報記憶再生装置において、同期抽出回路は、位相同期ループ回路を含むことが好ましい。

## 【0029】

## 【発明の実施の形態】

本発明の一実施形態について図面を参照しながら説明する。

## 【0030】

図1は本発明の一実施形態に係る情報記憶再生装置であって、光ディスク装置における波形等化部を含む要部のブロック構成を示している。

## 【0031】

図1に示すように、本実施形態に係る光ディスク装置は、光ピックアップ10から出力された微弱なアナログ信号を所定の振幅レベルにまで動的に増幅する可変利得アンプ(variable gain amplifier:VGA)11と、所定の振幅レベルに増幅されたアナログ信号から高域のノイズ成分を除去するアナログ低域通過フィルタ(low-pass filter:LPF)12と、後段のA/D変換器14が持つダイナミックレンジにアナログ信号が収まるように該アナログ信号における振幅の中心軸からのずれ(オフセット)を調整するオフセット制御回路13と、オフセット調整されたアナログ信号A1に対してチャネルクロックのn(但し、nは2以上の整数とする。以下同様。)倍の周波数のオーバサンプリングを行なうことにより、アナログ信号A1を第1のデジタル信号D1に変換して出力するA/D変

換器 14 と、第 1 のデジタル信号 D1 に変換された再生信号の波形等化をデジタル的に行なって第 2 のデジタル信号 D2 を出力するデジタル等化器 15 と、第 1 のデジタル信号 D1 から振幅情報を検出し、検出した振幅情報から V G A 1 1 に対する制御情報を生成して V G A 1 1 に出力する振幅情報検出回路 16 と、第 1 のデジタル信号 D1 のオフセット量を検出して、オフセット制御回路 13 を制御するオフセット検出回路 17 と、第 2 のデジタル信号 D2 から A/D 変換の同期用のシステムクロック信号を抽出し、抽出したシステムクロック信号を A/D 変換器 14 及びデジタル等化器 15 に出力する同期抽出回路としての P L L 回路 18 と、P L L 回路 18 によって生成され、第 2 のデジタル信号 D2 の周波数をチャネルクロックに分周する分周器 19 と、オーバーサンプリングされた第 2 のデジタル信号 D2 をチャネルクロックを規定する周波数（チャネルレート）に戻す、いわゆるダウンサンプリングを行なうダウンサンプリング回路 20 と、第 2 のデジタル信号 D2 の信頼性を向上する、例えばダウンサンプリング回路 20 から出力された信号を入力とし、入力された信号の歪みを補正する適応フィルタ、又は P R L M を用いたビタビ復号の処理を行なう演算回路 21 と、本装置から出力される出力信号であって、入力されたアナログ信号の 2 値化を行なう 2 値化回路 22 とを備えている。

#### 【0032】

なお、チャネルクロックとは、再生したデジタル信号（データ信号）の同期を取るクロック信号であり、システムクロックとは A/D 変換時のオーバサンプリング用のクロック信号である。

#### 【0033】

また、クロックリカバリ回路である同期抽出回路は、P L L 回路に限られず、周波数比較器及び位相比較器を含む電圧制御発振器（voltage controlled oscillator: V C O）を用いても良い。また、オーバサンプリング比の値は、2 の倍数が好ましく、さらには 2 のべき乗（ $= 2^n$ ）が好ましい。

#### 【0034】

また、ここでは、V G A 1 1 から A/D 変換器 14 までをアナログ回路部 101 と呼び、デジタル等化器 15 から 2 値化回路 22 までをデジタル回路部 102

と呼ぶ。

#### 【0035】

以下、前記のように構成された光ディスク装置の動作を説明する。

#### 【0036】

まず、光ピックアップ100は、所望のデータが記録された光ディスク（図示せず）における記録面に読み出し光（レーザ光）を照射し、該光ディスクからの反射光を電気信号（アナログ信号）に変換して出力する。このとき、光ピックアップ100から出力されるアナログ信号は、微弱であり、その上、光ディスク又は該光ディスクに記録されている記録データ領域及びレーザ光の焦点位置を制御するサーボ回路の諸特性に依存して、その振幅には図2（a）に示すようなばらつきが生じる。このようなばらつきを有するアナログ信号は、VGA11に入力されると、VGA11において、入力信号に応じてその振幅（出力値）が変化する振幅情報検出回路16からの制御信号による自動利得制御（automatic gain control：AGC）機能によって、入力されたアナログ信号は図2（b）に示すようにその振幅が一定となる。

#### 【0037】

次に、VGA11によりその振幅が一定とされたアナログ信号は、アナログLPF12に入力される。アナログLPF12は、後段の信号処理部における処理の阻害要因となる信号帯域外のノイズを低減すると共に、A/D変換器14に発生する折り返し歪みを防止するために、入力されたアナログ信号の高域成分を除去する。

#### 【0038】

次に、アナログLPF12により高域成分を除去されたアナログ信号は、オフセット制御回路13に入力される。オフセット制御回路13は、図3（a）に示すように、入力されたアナログ信号の振幅の中心軸がずれていたとしても、図3（b）に示すように、A/D変換器14のダイナミックレンジにアナログ信号が収まるようにオフセットを除去する。

#### 【0039】

次に、オフセット制御回路13により振幅の中心軸のずれを矯正されたアナロ



グ信号は、A/D変換器14に入力される。ここで、A/D変換器14は、PLL回路18から出力される、チャネルレートを規定するチャネルクロックの $n$ 倍の周波数を持つサンプリングクロックを用いた、いわゆるオーバーサンプリングによって、アナログ信号を第1のデジタル信号D1に変換する。

#### 【0040】

次に、A/D変換器14により、チャネルレートの $n$ 倍でオーバーサンプリングされて変換された第1のデジタル信号D1は、デジタル等化器15に入力され、波形等化を施されて第2のデジタル信号D2として出力される。デジタル等化器15において、入力された第1のデジタル信号D1は、オーバーサンプリングされているため、チャネルレートでサンプリングされたデジタル信号を波形等化する場合と比べて、オーバーサンプリング比の値 $n$ に応じた精度で波形等化を行なえるので、従来のアナログ等化器を用いた場合と同様の性能を得ることができる。その上、折り返し歪みが発生する周波数も $n$ 倍となるため、アナログLPF12に要求される性能を緩和することができる。

#### 【0041】

同時に、A/D変換器14により変換された第1のデジタル信号D1は、振幅情報検出回路16及びオフセット検出回路17に並列に入力される。振幅検出回路16は、第1のデジタル信号D1の振幅を監視し、該第1のデジタル信号D1の振幅が一定の振幅値となるように、VGA11におけるゲイン（利得）を制御する。また、オフセット検出回路17は、入力された第1のデジタル信号D1のオフセット量を検出して、オフセット制御回路13に出力する。

#### 【0042】

次に、デジタル等化器15から出力される第2のデジタル信号D2は、PLL回路18に入力され、PLL回路18は、第2のデジタル信号D2から同期用のシステムクロック（オーバーサンプリングクロック）信号を抽出し、抽出したシステムクロック信号をA/D変換器14及びデジタル等化器15に出力する。なお、図示はしていないが、PLL回路18は周波数比較器、位相比較器及びループフィルタを含む。なお、PLL回路18は、システムクロック以上の周波数を持つ信号をも出力可能である。

**【0043】**

分周器 19 は、PLL 回路 18 から出力されるシステムクロック信号を分周してチャネルクロックに変換し、変換したチャネルクロックをダウンサンプリング回路 20、演算回路 21 及び 2 値化回路 22 にそれぞれ供給する。なお、分周器 19 は、チャネルクロック以下の周波数を持つ信号をも出力可能である。

**【0044】**

次に、デジタル等化器 15 から出力される第 2 のデジタル信号 D2 は、後段のダウンサンプリング回路 20 に入力され、そこで、チャネルレートを規定する周波数に戻され、いわゆるダウンサンプリングされる。

**【0045】**

続いて、チャネルレートにまでダウンサンプリングされた第 2 のデジタル信号 D2 は、後段の演算回路 21 及び 2 値化回路 22 に順次入力される。

**【0046】**

なお、ダウンサンプリング回路 20 の後段に設けた演算回路 21 は必ずしも設ける必要はない。

**【0047】**

以上説明したように、本実施形態に係る光ディスク装置は、アナログ回路部 101 にアナログ等化器を設けずに、代わりにデジタル回路部 102 にデジタル等化器 15 を設けている。これにより、アナログ回路部 101 の回路規模を縮小でき、且つ消費電力をも削減できる。

**【0048】**

さらに、A/D 変換器 14 は  $n$  倍のオーバーサンプリングによって第 1 のデジタル信号 D1 に変換されるため、オーバーサンプリングされて変換された第 1 のデジタル信号 D1 に対する波形等化処理は、オーバーサンプリング比の値  $n$  に応じて高精度に行なうことができる。その結果、光ピックアップ 100 から出力される微弱なアナログ信号のデジタル信号への変換を、回路規模を縮小しながら高精度におこなうことができる。

**【0049】**

(実施形態の第 1 変形例)

以下、本発明の一実施形態の第1変形例について図面を参照しながら説明する。

#### 【0050】

図4は本発明の一実施形態の第1変形例に係る光ディスク装置におけるデジタル等化器を含むデジタル回路部のブロック構成を示している。図4において、図1に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。また、演算回路21を設けない構成としている。

#### 【0051】

図4に示すように、第1変形例に係るデジタル回路部102には、ダウンサンプリング回路20から出力されるデジタル信号と、分周器19から出力されるチャネルクロック信号とを受け、第2のデジタル信号D2に含まれるn通りのサンプリング値からいずれか1つのサンプリング値を選択し、選択したサンプリング値をPLL回路18に出力するデータ位相比較器25が設けられている。

#### 【0052】

ここで、データ位相比較器25の動作を図5に基づいて説明する。

#### 【0053】

図5に示すように、第1変形例においては、例えばシステムクロックは、外部に出力する再生信号（データ信号）を扱う際の同期信号であるチャネルクロックの4倍の周波数を持つ。すなわち、A/D変換時におけるサンプリング比nの値を4に設定している。符号d0、d1、d2及びd3は、入力されたアナログ信号A1から変換されて得られた各サンプリング値（デジタル信号）を表わしている。因みに、オーバサンプリングを行なわない従来の場合には、アナログ信号A1に対するサンプリング値はd0のみとなる。

#### 【0054】

データ位相比較器25は、このd0～d3の4通りのサンプリング値からいずれか1つのサンプリング値を選択すれば、データの再生が可能となる。好ましい選択条件としては、例えばサンプリング値d2を基準とし、その4サンプルごとの信号を抽出して処理を行なうようにすれば良い。

#### 【0055】

## (第 2 変形例)

次に、第 2 変形例として、データ位相比較器 2 5 に代えて、移動平均値演算器を設ける。第 2 変形例に係る移動平均値演算器は、第 2 のデジタル信号 D 2 に含まれる 1 チャンネルクロック当たり 4 通りのサンプリング値  $d_0 \sim d_3$  から隣り合う 2 つのサンプリング値を選択し、選択した 2 つのサンプリング値に対して移動平均の演算を行ない、例えば  $(d_0 + d_1) / 2$  の演算を行なってその演算結果を PLL 回路 1 8 に出力する。これにより、A/D 変換時の分解能を向上することができる。

## 【 0 0 5 6 】

## (第 3 変形例)

次に、第 3 変形例として、データ位相比較器 2 5 に代えて、移動平均値演算器を設ける。第 3 変形例に係る移動平均値演算器は、第 2 のデジタル信号 D 2 に含まれる 1 チャンネルクロック当たり 4 通りのサンプリング値  $d_0 \sim d_3$  から少なくとも 2 つのサンプリング値を選択し、選択した少なくとも 2 つのサンプリング値に対して移動平均の演算を行ない、例えば  $(d_0 + d_1 + d_2) / 3$  の演算を行なってその演算結果を PLL 回路 1 8 に出力する。このようにしても、A/D 変換時の分解能を向上することができる。

## (第 4 変形例)

次に、第 4 変形例として、データ位相比較器 2 5 に代えて、サンプル値演算器を設ける。第 4 変形例に係るサンプル値演算器は、第 2 のデジタル信号 D 2 に含まれる 1 チャンネルクロック当たり 4 通りのサンプリング値  $d_0 \sim d_3$  から少なくとも 2 つのサンプリング値を選択し、選択した少なくとも 2 つのサンプリング値に対して加算演算、減算演算又は補間演算を行なって、その演算結果を PLL 回路 1 8 に出力する。

## 【 0 0 5 7 】

さらにこの場合には、サンプル値演算器と PLL 回路 1 8 との間に、該サンプル値演算器の出力信号から不要な信号成分を除去するフィルタを設けるのが好ましい。

## 【 0 0 5 8 】

**【発明の効果】**

本発明に係る情報記憶再生装置によると、A/D変換器により変換されて得られたデジタル信号に対して波形等化を行なうため、アナログ回路部の回路規模を縮小できると共に、A/D変換器がオーバーサンプリングを行なうため、A/D変換器の分解能を等価的に向上させることができる。その結果、アナログ回路部の回路規模を小さくしながら、再生されるデジタル信号の電気的特性を良好にすることができる。

**【図面の簡単な説明】****【図1】**

本発明の一実施形態に係る情報記憶再生装置における波形等化部を含む要部を示すブロック図である。

**【図2】**

(a) 及び (b) は本発明の一実施形態に係る情報記憶再生装置における振幅情報検出回路の動作を示し、(a) は振幅情報検出回路を動作させない場合の信号振幅を表わすグラフであり、(b) は振幅情報検出回路を動作させた場合の信号振幅を表わすグラフである。

**【図3】**

(a) 及び (b) は本発明の一実施形態に係る情報記憶再生装置におけるオフセット制御回路の動作を示し、(a) はオフセット制御回路に入力される前の信号を表わすグラフであり、(b) はオフセット制御回路に入力された後の信号を表わすグラフである。

**【図4】**

本発明の一実施形態の第1変形例に係る情報記憶再生装置における波形等化部のデジタル回路部を示すブロック図である。

**【図5】**

本発明の一実施形態の第1変形例に係る情報記憶再生装置における波形等化部の動作を示すタイミング図である。

**【図6】**

従来の光ディスク装置における波形等化部を含む要部を示すブロック図である

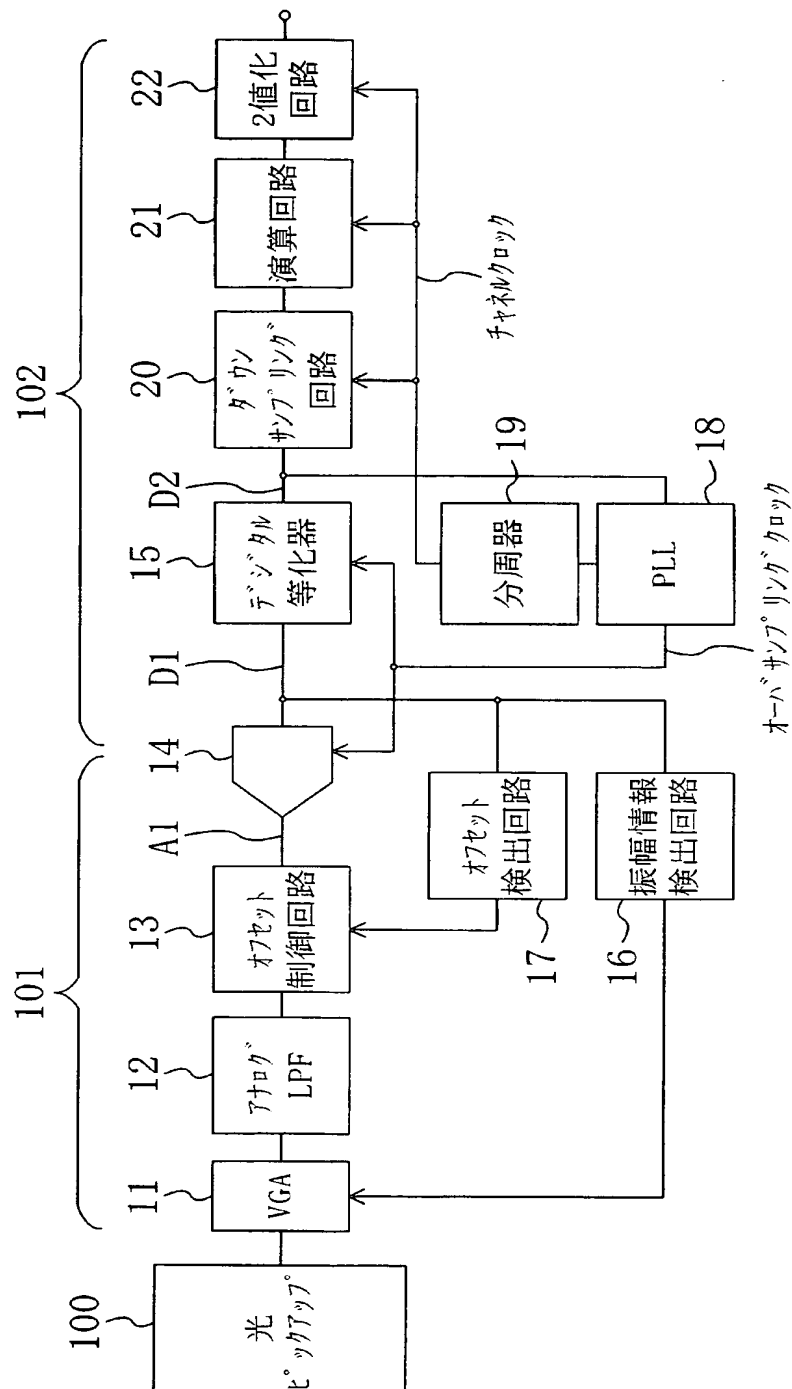
## 【符号の説明】

1 0 0	光ピックアップ
1 0 1	アナログ回路部
1 0 2	デジタル回路部
1 1	可変利得アンプ (V G A)
1 2	アナログ低域通過フィルタ (L P F)
1 3	オフセット制御回路
1 4	A / D 変換器
1 5	デジタル等化器
1 6	振幅情報検出回路
1 7	オフセット検出回路
1 8	P L L 回路 (同期抽出回路)
1 9	分周器
2 0	ダウンサンプリング回路
2 1	演算回路
2 2	2 値化回路
2 5	データ位相比較器

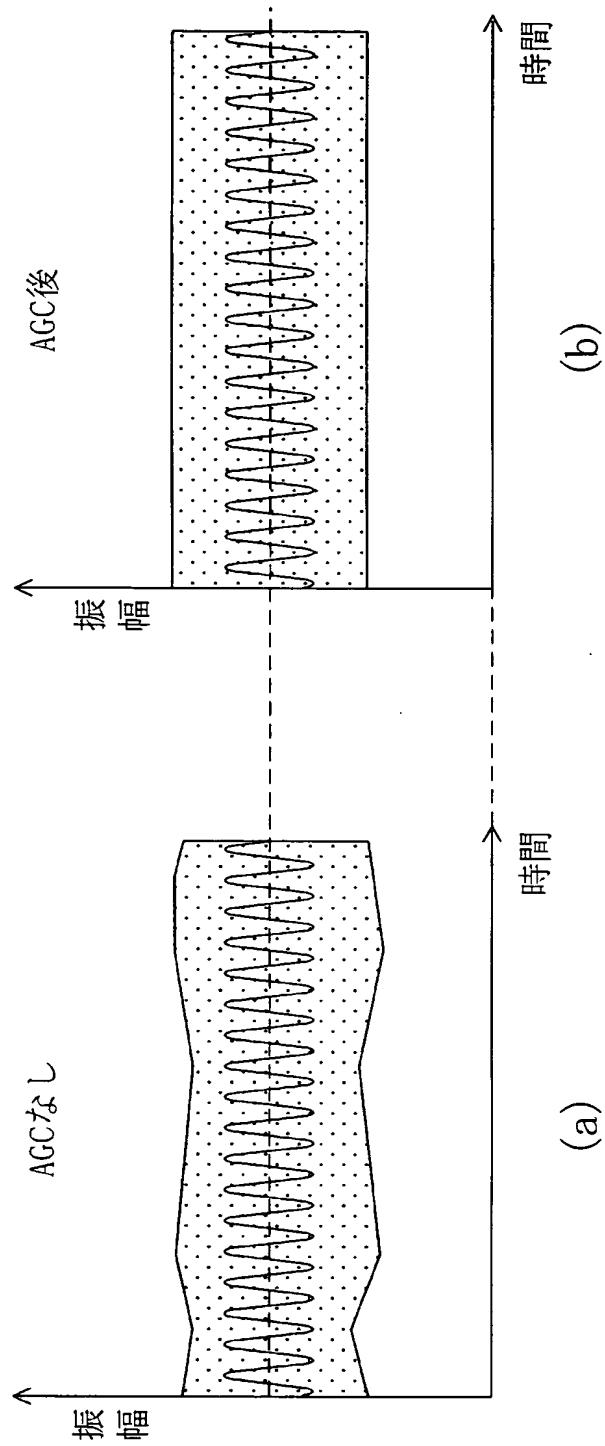
【書類名】

図面

【図 1】

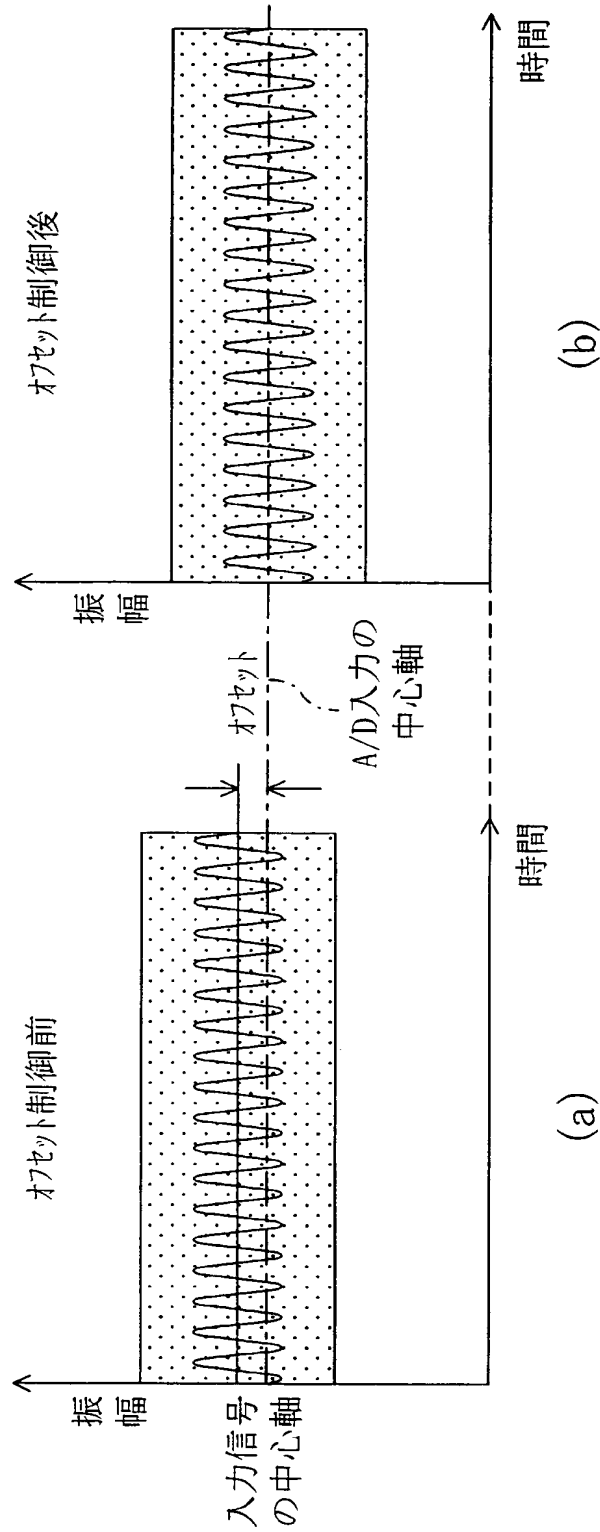


【図 2】

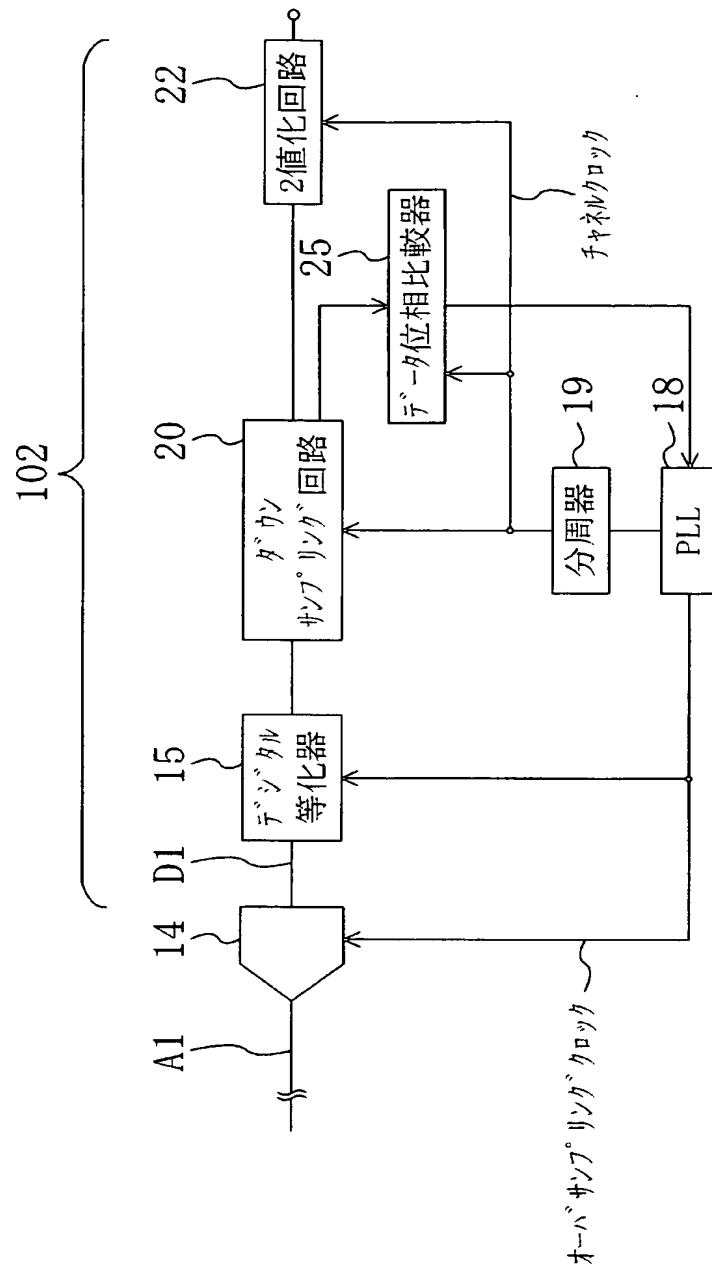




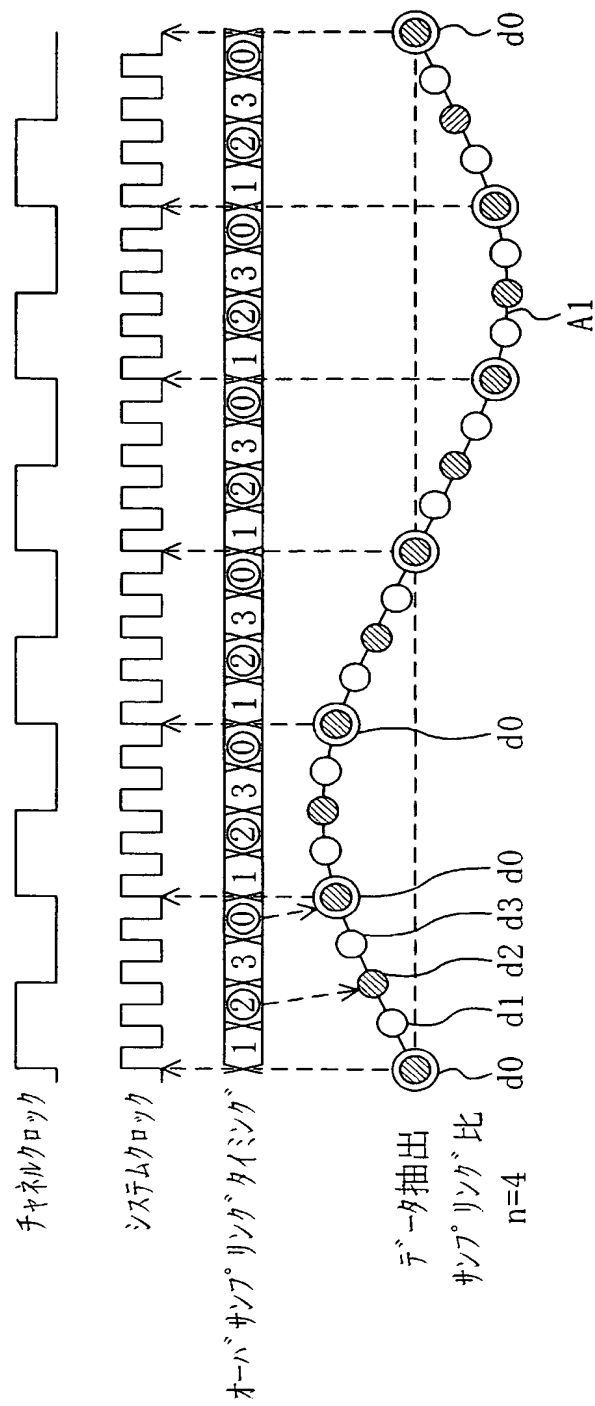
【図 3】



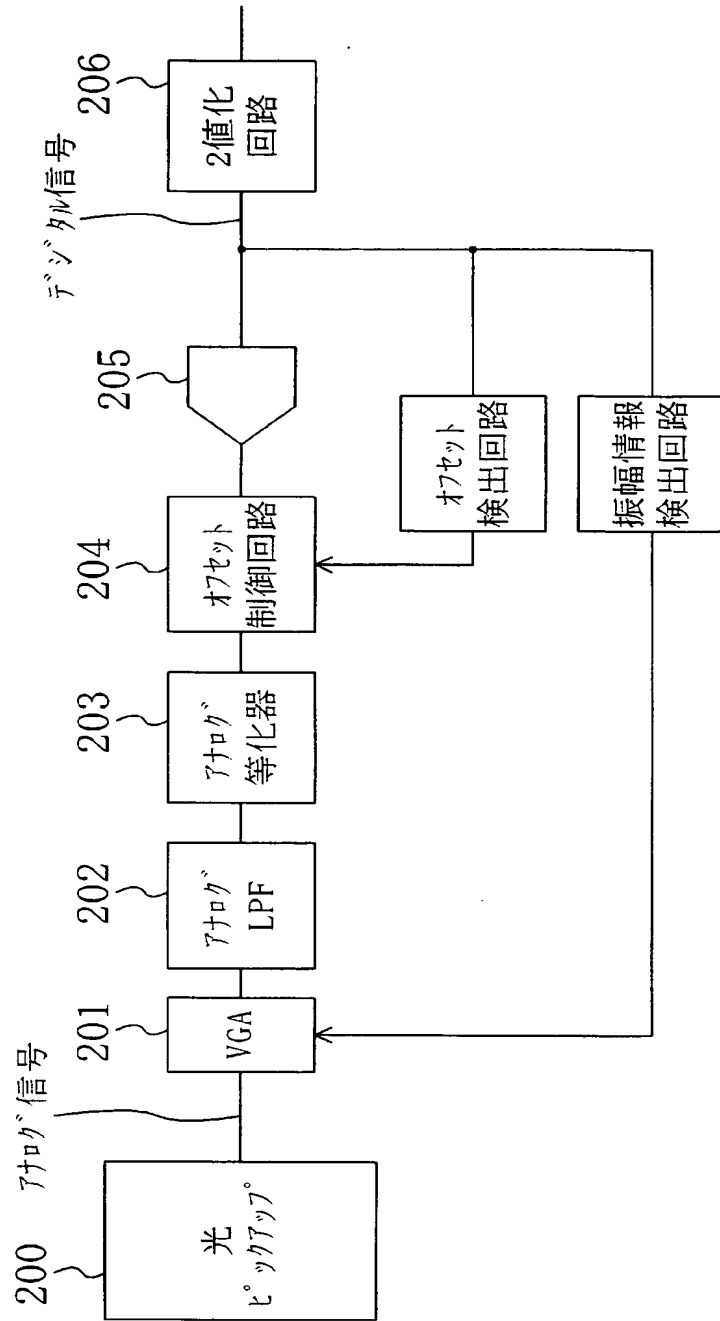
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 デジタル等化器を用いながらも、回路規模を増大させることなく、効率良く且つ振幅差が大きいアナログ信号を波形等化できるようにする。

【解決手段】 情報記憶再生装置である光ディスク装置は、オフセット調整されたアナログ信号A1に対してチャネルクロックの2以上の整数倍の周波数でサンプリングすることにより、アナログ信号A1を第1のデジタル信号D1に変換して出力するA/D変換器14と、第1のデジタル信号D1に変換された再生信号の波形等化をデジタル的行なう第2のデジタル信号D2を出力するデジタル等化器15とを有している。このように、A/D変換されたデジタル信号に対して波形等化を行なうため、回路構成を小さくすることができる上に、オーバーサンプリングを行なうため、A/D変換時の分解能を等価的に向上させることができる。

【選択図】 図1

特願 2 0 0 3 - 1 2 1 6 5 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社